

xThis Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

007306897

WPI Acc No: 1987-303904/198743

Non-crystalline thin-layer transistor for flat display - has
non-crystalline layer on insulation substrate and source drain areas

NoAbstract Dwg 1/4.

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62214669	A	19870921	JP 8657544	A	19860314	198743 B

Priority Applications (No Type Date): JP 8657544 A 19860314

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 62214669	A		3		
-------------	---	--	---	--	--

Title Terms: NON; CRYSTAL; THIN; LAYER; TRANSISTOR; FLAT; DISPLAY; NON;
CRYSTAL; LAYER; INSULATE; SUBSTRATE; SOURCE; DRAIN; AREA;
NOABSTRACT

Derwent Class: U12; U14

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02297769 **Image available**

SELF-ALIGNED AMORPHOUS SILICON THIN FILM TRANSISTOR AND
MANUFACTURE THEREOF

PUB. NO.: 62-214669 [JP 62214669 A]

PUBLISHED: September 21, 1987 (19870921)

INVENTOR(s): KANEKO SETSUO
UCHIDA HIROYUKI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 61-057544 [JP 8657544]

FILED: March 14, 1986 (19860314)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 588, Vol. 12, No. 72, Pg. 128, March
05, 1988 (19880305)

ABSTRACT

PURPOSE: To reduce an OFF current by forming source. drain regions in a self-aligning manner with a gate electrode to simply self-aligning it without including lift-off step.

CONSTITUTION: After an amorphous silicon deposited on a glass substrate 1 is insularly etched, an SiNx film 3 is deposited on the silicon and an Mo film 4 is further deposited. Then, after a spin-coating of photoresist 9 is given, the resist 9 is insularly etched. Thereafter, with the photoresist 9 as a mask the films 4, 3 are etched to form a gate electrode 4 and a gate insulating film 3. Further, with the photoresist 9 or the gate metal 4 as a mask P ions 10 are implanted to form source. drain regions 5 in a self-aligning manner. Then, the photoresist 9 is removed, beam of ultraviolet laser light 11 is emitted to form a polycrystalline source. drain region 6 on the region 5. Then, after a hole is opened at part of an SiO(sub 2) film formed as an insulating film 7, Cr is formed and insularly etched to form source. drain electrodes 8 to be electrically contacted with the region 6.

⑫ 公開特許公報(A)

昭62-214669

⑬ Int.Cl.⁴H 01 L 29/78
27/12

識別記号

庁内整理番号

8422-5F
7514-5F

⑭ 公開 昭和62年(1987)9月21日

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 自己整合型非晶質シリコン薄膜トランジスタ及びその製造方法

⑯ 特 願 昭61-57544

⑰ 出 願 昭61(1986)3月14日

⑱ 発 明 者	金 子 節 夫	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	内 田 宏 之	東京都港区芝5丁目33番1号	日本電気株式会社内
⑳ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
㉑ 代 理 人	弁理士 内 原 晋		

明 細 書

1. 発明の名称

自己整合型非晶質シリコン薄膜トランジスタ及
びその製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に形成された島状の非晶質シリコン膜と、該非晶質シリコン膜に設けられたソース・ドレイン領域と、該ソース・ドレイン領域の間の部分の非晶質シリコン膜上に設けられた第1の絶縁膜と、該第1の絶縁膜上に設けられたゲート電極と、前記ソース・ドレイン領域の一部を除く全表面を被覆した第2の絶縁膜と、前記ソース・ドレイン領域と電気的接触を形成せしめるように設けられたソース・ドレイン電極からなる自己整合型非晶質シリコン薄膜トランジスタにおいて、前記ソース・ドレイン領域に少なくとも多結晶化シリコン層が含まれ、該多結晶化シリコン層がソース・ドレイン電極と

電気的に接触していることを特徴とする自己整合型非晶質シリコン薄膜トランジスタ。

(2) 絶縁性基板上に非晶質シリコン膜を形成する工程と、該非晶質シリコン膜を島状にエッチングする工程と、第1の絶縁膜およびゲート金属を形成する工程と、該第1の絶縁膜とゲート金属をエッチング加工して該非晶質シリコン膜上にゲート絶縁膜、ゲート電極を形成する工程と、該ゲート電極をマスクとして不純物を非晶質シリコン中にドーピングすることによりソース・ドレイン領域を形成する工程と、500nmより短波長光を照射することによりソース・ドレイン領域の表面を多結晶化する工程と、少なくとも該ソース・ドレイン領域と前記ゲート電極をおおるように第2の絶縁膜を形成する工程と、ソース・ドレイン領域上の第2の絶縁膜に穴を開けた後ソース・ドレイン電極用金属を形成し、エッチング加工して、ソース・ドレイン電極を形成し、該ソース・ドレイン電極と多結晶化したソース・ドレイン領域の表面との電気的接触を

させる工程とを含むことを特徴とする自己整合型非晶質シリコン薄膜トランジスタの製造方法。

3 発明の詳細な説明

(産業上の利用分野)

本発明は自己整合型非晶質 Si 薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

近年液晶フラットディスプレイ、あるいは長尺イメージセンサの駆動デバイスとして使われる薄膜トランジスタの研究開発が盛んに行なわれている。

フラットパネルディスプレイの画品質向上やイメージセンサの高速化のために、ゲート金属、ソース・ドレイン電極間容量の低減された自己整合型薄膜トランジスタが強く望まれている。

液晶ポケットカラーテレビ(電子通信学会、電子デバイス研究会技術報告、ED-84-70 (1984))、また、この自己整合型薄膜トランジスタは、トランジスタ形成時の目合せ精度を軽減

ト 19 は感光しない。紫外光 20 の感光時間は、紫外光 20 が非晶質シリコン 18 を透過する割合によって変わるが、20 分以上の露光時間が必要である。これを現象すると第 3 図(b)に示す様にゲート電極 16 の直上のみレジスト 19 が残る。次に、第 3 図(c)に示すように、この上に n^+ 型非晶質シリコン膜 21 を形成し、次に、ソース・ドレイン電極用金属 22 を蒸着する。次に、フォトリソによるリフトオフによる不要な n^+ 非晶質シリコン膜 21、およびソース・ドレイン電極用金属 22 を取除けば第 3 図(d)のように自己整合型非晶質 Si 薄膜トランジスタが完成する。

一方非晶質シリコン膜を用い表面をレーザー光を用いて多結晶化し、この多結晶化膜を用いた多結晶 Si 薄膜トランジスタも開発されている。(第 46 回応用物理学会学術講演会予稿集 2a-ZA-3 p704 1985 年) 第 4 図に上記多結晶 Si 薄膜トランジスタの構造を示す。これはガラス基板 25 上に形成された非晶質シリコン膜 26 をレーザー光を用いてその表面を多結晶化した多結晶膜 27 を

できるため、上記大面積デバイスを形成するときには有用な素子であり、特に非晶質シリコンを用いた自己整合型薄膜トランジスタは、非晶質シリコンが低温形成で大面積に形成できる。また、抵抗率が高くオフ(OFF)電流が小さい等の利点を有するため特に強く開発を急がれている。

第 3 図(d)には従来例の非晶質シリコンを用いた自己整合型薄膜トランジスタの断面図を示す。

(電子通信学会技術研究報告, vol 38, No 168, ED83-70 ページ 47-52)

この構造の薄膜トランジスタの製造工程を第 3 図(a)~(d)に示す。まず、第 3 図(a)に示すように、ガラス基板 15 にゲート金属を形成し、パターンニングし、ゲート金属 16 を形成する。この上にゲート絶縁膜 17、非晶質シリコン膜 18 を順次形成し、所望の大きさにパターンニングする。この上にフォトリソ 19 を塗布し、ガラス基板側から紫外光 20 を照射することにより、フォトリソ 19 を感光させる。この時ゲート電極 16 がマスクとなってゲート電極 16 上のフォトリソ

用いた薄膜トランジスタであり、ソース・ドレイン領域 28 は多結晶シリコン薄膜にイオン注入して形成される。したがってこの方法においても通常の Si MOS FET と類似の自己整合型薄膜トランジスタが比較的簡単に形成しうる。

(発明が解決しようとする問題点)

しかしながら第 3 図(a)~(d)に示した上記方法の薄膜トランジスタは、液晶ディスプレイやイメージセンサ用 TFT アレイとしてはオフ(OFF)電流が小さく特性的には満足できるものの、紫外光による露光時間が長く、また、 n^+ 非晶質シリコン膜とソース・ドレイン電極のリフトオフ工程が難しく、歩どまり低下を来し生産的に問題がある。

また、第 4 図に示した薄膜トランジスタは、多結晶 Si であるため、抵抗率がそれほど大きくなくまた、多結晶 Si の接合も非晶質 Si の接合に比較して十分ではないためオフ電流が $1 \sim 5 \times 10^{-5}$ A と比較的大きく前記デバイス応用としては不十分であった。

本発明の目的は、上述した非晶質シリコン薄膜トランジスタの製造におけるリフトオフ工程を含まず、簡単に自己整合が行なえ、また、オフ電流の小さい自己整合型非晶質シリコン薄膜トランジスタ及びその製造方法を提供することにある。

(問題点を解決するための手段)

本発明の第1の発明の自己整合型非晶質シリコン薄膜トランジスタは、絶縁性基板上に形成された島状の非晶質シリコン膜と、該非晶質シリコン膜に設けられたソース・ドレイン領域と、該ソース・ドレイン領域の間の部分の非晶質シリコン膜上に設けられた第1の絶縁膜と、該第1の絶縁膜上に設けられたゲート電極と、前記ソース・ドレイン領域の一部を除く全表面を被覆した第2の絶縁膜と、前記ソース・ドレイン領域と電気的接触を形成せしめるように設けられたソース・ドレイン電極からなる自己整合型非晶質シリコン薄膜トランジスタにおいて、前記ソース・ドレイン領域に少なくとも多結晶化シリコン層が含まれ、該多結晶化シリコン層がソース・ドレイン電極と電気

る工程とを含んで構成される。

(作用)

第1図に示した本発明の第1の発明は、ソース・ドレイン領域はゲート電極と自己整合的に形成されており、このためソース・ドレイン領域とゲート金属の重なり容量はほとんどなく、重なり容量のバラツキは無視できる様になり、液晶ディスプレイの高画質化や、トランジスタスイッチによる雑音が低下し、イメージセンサのS/N向上と高速化が期待される。

トランジスタオン(ON)時にはチャネルとソース・ドレイン電極は、多結晶化された低抵抗のソース・ドレイン領域と接続されるため、比較的抵抗の高い非晶質Siソース・ドレイン領域($10^3 \Omega\text{-cm}$)のみの場合におこりやすいオン電流低下はない。また、チャネル部とソース・ドレイン領域は多結晶シリコンと非晶質シリコンの接合を利用するため、非晶質シリコンの高抵抗性と、結晶粒径が非晶質Si中ではないためオフ電流が増加しない。このため、高いオン、オフ比を有する事

的に接触して構成される。

また、本発明の第2の発明の自己整合型非晶質シリコン薄膜トランジスタの製造方法は、絶縁性基板上に非晶質シリコン膜を形成する工程と、該非晶質シリコン膜を島状にエッチングする工程と、第1の絶縁膜およびゲート金属を形成する工程と、該第1の絶縁膜とゲート金属をエッチング加工して該非晶質シリコン膜上にゲート絶縁膜、ゲート電極を形成する工程と、該ゲート電極をマスクとして、不純物を非晶質シリコン中にドーブすることによりソース・ドレイン領域を形成する工程と、500nmより短波長光を照射することによりソース・ドレイン領域の表面を多結晶化する工程と、少なくとも該ソース・ドレイン領域と前記ゲート電極をおおひくように第2の絶縁膜を形成する工程と、ソース・ドレイン領域上の第2の絶縁膜に穴を開けた後ソース・ドレイン電極用金属を形成し、エッチング加工して、ソース・ドレイン電極を形成し、該ソース・ドレイン電極と多結晶化したソース・ドレイン領域の表面との電気的接触をさせ

が期待される。

また、第2図に示す本発明の第2の発明において、自己整合は、第2図(b)に示すようにゲート電極4、またはレジスト9をマスクにしてイオン注入10する事により行なわれるため、リフトオフ工程は含まれず歩どまり低下のない自己整合型非晶質シリコン薄膜トランジスタの製造方法が得られる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。第1図は本発明の第1の発明の一実施例の断面図、第2図(a)~(d)は本発明の第2の発明を説明するために工程順に示した素子の断面図である。第1図および第2図(a)~(d)を用いて本発明の実施例を説明する。

まず、第2図(a)に示すように、非晶質シリコン薄膜2をグロー放電分解法を用いてSiH₄を分解し250°Cに加熱したガラス基板1上に1000Å堆積させる。続いて、非晶質シリコンを島状にエッチングした後、この上にSiNx膜3をSiH₄と

NH_3 のグロー放電分解法により 2500\AA 堆積する。さらにゲート電極用としてMo膜4を 1500\AA 堆積する。

次に、第2図(b)に示すように、フォトリジスト9をスピンコートし、通常のフォトリソグラフィ工程によりフォトリジスト9をエッチングし島状にする。その後フォトリジスト9をマスクにして、Mo膜4、 SiN_x 膜3をエッチングしそれぞれゲート電極4、ゲート絶縁膜3とする。さらにフォトリジスト9または、Moゲート金属4をマスクにしてイオン注入によりリン(P)イオン10を $40\sim 120\text{keV}$ 、 $5\times 10^{15}\text{cm}^{-2}$ 打ち込み、自己整合的にソース・ドレイン領域5を形成する。

次に、第2図(c)に示すように、フォトリジスト9を除去し、波長 308nm の紫外レーザー光11を $100\sim 300\text{mJ}/\text{cm}^2$ で照射し、ソース・ドレイン領域5の表面を多結晶化し、多結晶化されたソース・ドレイン領域6を形成する。

次に、第2図(d)に示すように、第2の絶縁膜7として SiO_2 をスパッタ法で 4000\AA 形成し SiO_2

れ、該多結晶化シリコン層6がソース・ドレイン電極8と電気的に接触した構造となっている。

なお、本実施例ではリン(P)イオンを打ち込み、 n^+ ソース・ドレイン領域を形成しているが、ホウ素(B)イオン等を打ち込むことにより p^+ ソース・ドレイン領域を形成することも可能である。(発明の効果)

以上説明したように、本発明の製造方法においては、その工程の中には、リフトオフ工程が含まれていないため、従来例と比べて歩どまり良く、自己整合型非晶質シリコン薄膜トランジスタが形成できる。また、第1図の構造から分かる様に、ゲート絶縁膜の下は $10^9\sim 10^{10}\Omega\text{-cm}$ の非晶質シリコンであり、また、多結晶化されたソース・ドレイン領域と非晶質シリコンとの接合によりオフ抵抗が高くなる。実際に形成した本発明の薄膜トランジスタでは、チャネル幅 $40\mu\text{m}$ 、チャネル長 $10\mu\text{m}$ において、ソース・ドレイン間に 10V 印加した時のオフ電流が $1\times 10^{-11}\text{A}$ 以下と非常に小さい。また、オン電流もゲート電圧 15V 印加時

の一部分に穴をあけた後、ソース・ドレイン金属としてCrを 1500\AA 形成した後、フォトリソグラフィ工程により島状にエッチングし、ソース・ドレイン電極8を形成し、多結晶シリコンソース・ドレイン領域6と電気的に接触させる。このようにして第1図の自己整合型非晶質シリコン薄膜トランジスタは形成させる。

以上により形成された本実施例は、絶縁性基板1上に形成された島状の非晶質シリコン膜2と、該非晶質シリコン膜2に設けられたソース・ドレイン領域5と、該ソース・ドレイン領域5の間の部分の非晶質シリコン膜上に設けられた第1の絶縁膜のゲート絶縁膜3と、該ゲート絶縁膜3上に設けられたゲート電極4と、前記ソース・ドレイン領域5の一部を除く全表面を被覆した第2の絶縁膜7と、前記ソース・ドレイン領域と電気的接触を形成せしめるように設けられたソース・ドレイン電極8からなる自己整合型非晶質シリコン薄膜トランジスタにおいて、前記ソース・ドレイン領域5に少なくとも多結晶化シリコン層6が含ま

れ、 $2\sim 4\times 10^{-9}\text{A}$ と従来例の薄膜トランジスタと遜色ない値が得られ、多結晶化したソース・ドレイン領域の低抵抗性による効果があらわれているものと思われる。したがって、自己整合的にソース・ドレイン領域を形成できる本発明のトランジスタを用いる事により歩どまり良くイメージセンサの高速化や液晶フラットパネルディスプレイの高画質化が得られる。

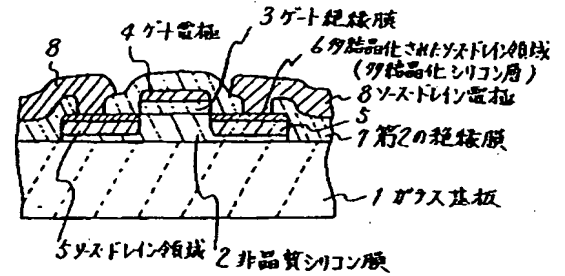
4. 図面の簡単な説明

第1図は本発明の第1の発明の一実施例の断面図、第2図(a)~(d)は本発明の第2の発明の一実施例を説明するために工程順に示した素子断面図、第3図(a)~(d)は、従来例の自己整合型非晶質シリコン薄膜トランジスタの製造方法を説明するために工程順に示した素子断面図、第4図は多結晶化シリコン膜を用いた従来の自己整合型薄膜トランジスタの断面図である。

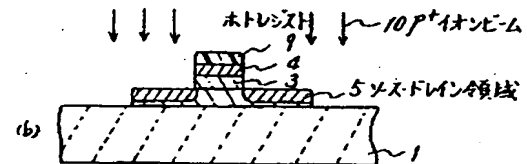
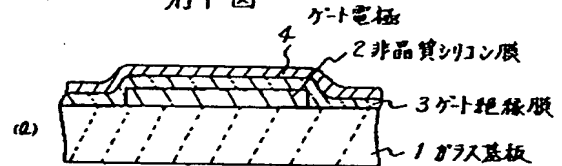
1, 15, 25...ガラス基板、2, 18, 26...非晶質シリコン膜、3, 17, 29...ゲート絶縁膜、4, 16,

30 …ゲート電極、5, 21…ソース・ドレイン領域、6, 28…多結晶化されたソース・ドレイン領域（多結晶化シリコン層）、7…第2の絶縁膜、8, 22, 31…ソース・ドレイン電極、9, 19…フォトリジスト、27…多結晶化シリコン膜。

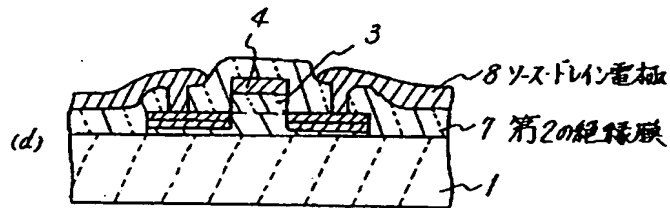
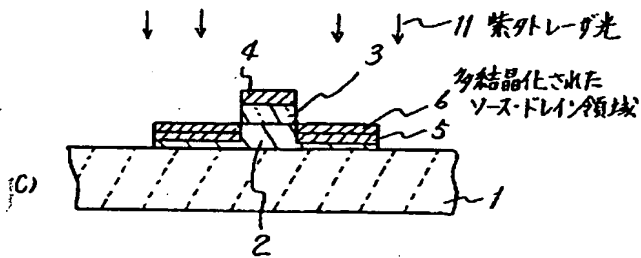
代理人 弁理士 内 原 晋



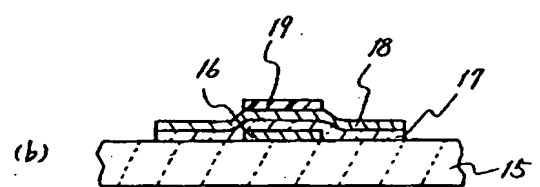
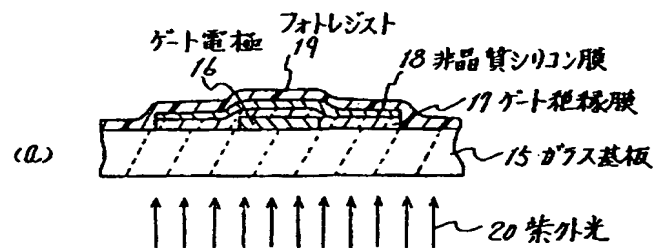
第 1 図



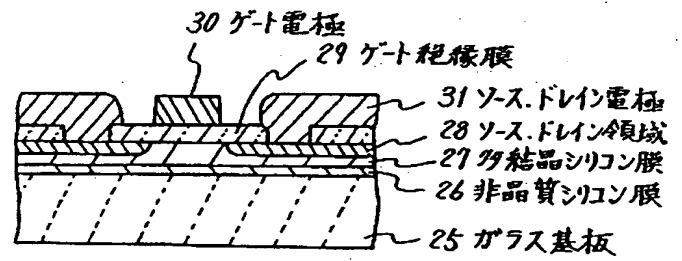
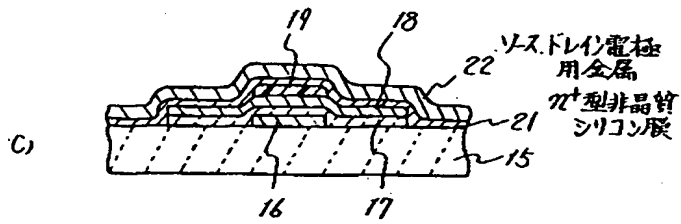
第 2 図



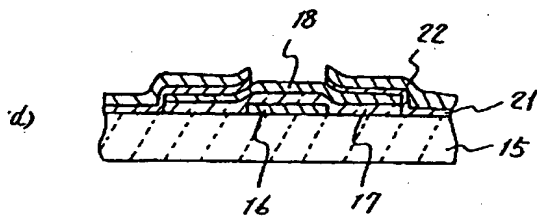
第 2 図



第 3 図



第 4 図



第 3 図